

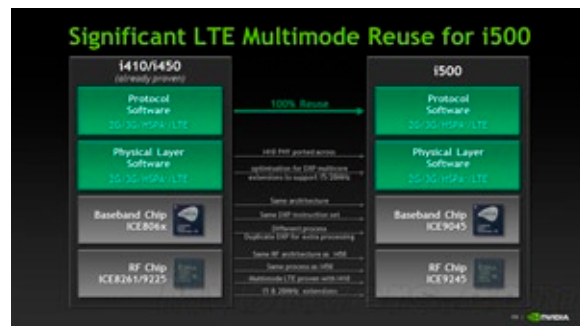


Icera的基带其实是很有趣的，架构上是在数字基带的基础上用软件定义射频。当然，纯硬件或者纯软件的基带也没有，都是不同程度的综合，高通也不例外。至于哪些功能是硬件实现的，哪些又是软件做到的，谁都没公开过，具体要看怎样才能最好地控制功耗，做到资源重复利用最大化。

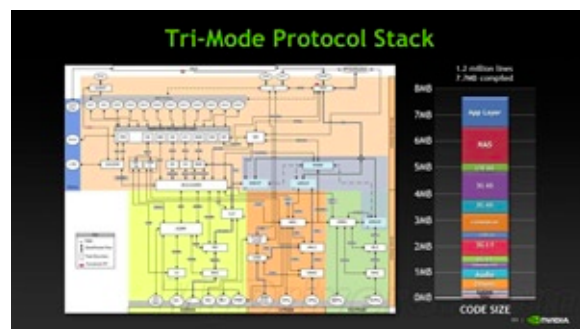
Icera基带更偏向软件这一侧，外置收发器处理向下转换之后就是完全软件的了。这样如何保证竞争力？秘密就在工艺上，NVIDIA选择了侧重性能的28nm HPM，而不是注重功耗的LP、HPL版本：使用高性能工艺，关闭不用的模块，而不是做一个更大、漏电率更低的SoC。NVIDIA宣称，这样可以使i500的面积比高通的MDM9x15小大约40%。

Icera的多年产品线都使用了相同的软件平台，只是随着网络通信技术的变化而更新，这就保持了很好的前后兼容性，毕竟PHY、协议堆栈完全都是软件的。

比如说，i500的多模调制解调软件就和i4xx系列完全一样，只是把改进了DXP使其支持15MHz、20MHz通道的LTE。



整个堆栈的规模是120万行C、DXP代码，编译后体积7.7MB。下图就是整个协议堆栈的示意图。



Icera i500的产品编号是“ICE9045”，28nm HPM工艺制造，搭配收发器型号ICE9245，工艺是看起来很老、但很适合的台积电65nm LP CMOS，通过数字界面与基带通信，执行所有的A2D、D2A。

ICE9045基本支持所有的3GPP通信标准，首发时最高LTE Cat. 3，未来会升级到LTE Cat. 4(软件编译更新就是了)，WCDMA方面支持最高Cat. 24 42Mbps(双载波64QAM)，延续了i450上的Cat. 18 16QAM 2x2 MIMO 28Mbps，不过未来可选升级到Cat. 28 64QAM 2x2 MIMO 84Mbps。如果增加第二个ICE9245收发器，还支持4x4 MIMO LTE。

当然还有TD-SCDMA、GSM/EDGE，完整支持AMR-WB、VoLTE/IMS语音。

ICE9045包括两大一小三个DXP单元，其中两个大的最高频率1.3GHz。Icera的指令集也很有意思，分为两个不同的基本集，分别称为C、D。C就是适合C编译器的3GPP协议堆栈，管理物理界面之上的高层功能，是标量的，运行于DXP1单元之上。

D运行在DXP0、DXP2，是私有语言写的矢量指令集，运行于物理层上，正是它配合特定的库给了Icera基带灵活配置的能力。

