

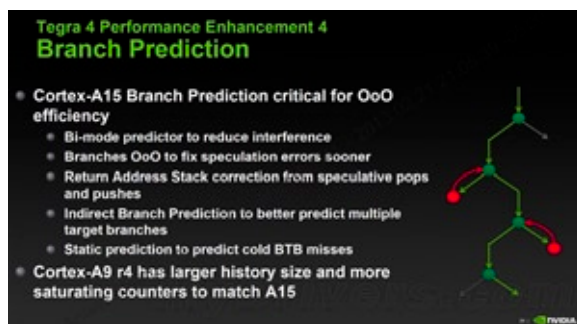
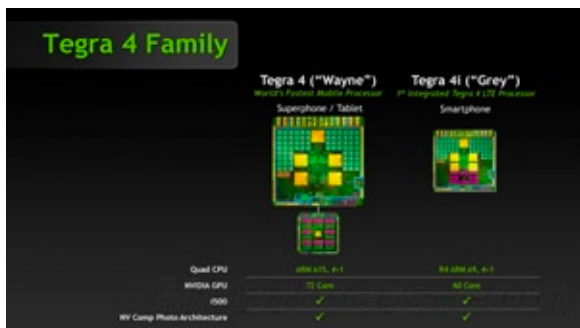
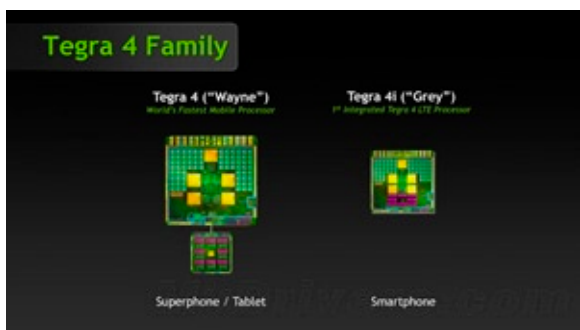
Tegra 4/4i、Icera i500架构超深度解析

CES 2013大展上，NVIDIA发布了全球首款四核A15架构移动处理器“Tegra 4”（代号Wayne），伴随而来的是4G/LTE基带“Icera i500”。MWC 2013大会上，NVIDIA又带来了整合基带的“Tegra 4i”（代号Grey），同样四核心，但架构上基于Cortex-A9，而所用基带正是Icera i500。

AnandTech近日撰文，深度解析了Tegra 4、Icera i500、Tegra 4i的硬件架构设计，还有部分性能数据。感兴趣的随我来。

但愿能比弥补长流水线的缺憾。

A15的前端宽了50%，指令拾取带宽翻番，有利于提升指令级并行(ILP)，而为了充分利用三宽度发射，ARM大大增加了重排序缓冲(ROB)和所有相关数据结构的尺寸。A9可以在重排序缓冲内保留大约32-40个已解码指令，A15则能保留128个，仅此一点就足以反映两种架构的巨大差异：A9是基于A8的自然演化，A15则是一次全新的飞跃式革命。



【Tegra 4: A15架构细节、功耗控制】

NVIDIA其实是ARM指令集架构的授权拥有者，但这一次，Tegra 4使用的还是处理器授权，而不是NVIDIA自己设计的定制核心(就像高通Krait、苹果Swift那样的)，那要到“丹佛工程”上才能实现。

对于A15的架构情况，之前因为资料有限，我们了解得并不多，而得益于Tegra 4的白皮书等文档，终于可以一窥A15内部世界了。更深入的解析会有机会单独阐述，这里只从较高层面上看看。

A15的架构要比A9宽得多、深得多，整数流水线也从9级增加到了15级，但是分支预测同样改进显著，

执行核心方面，A15的规模仍然更大，执行端口、执行单元都要比A9的多，均有助于提升ILP、单线程性能，还采用了多重、独立的发射队列的方式，以保持高频率。每一个发射队列都可以接受最多三条指令，所有的发射队列都可以并行分发。

A15也可以执行乱序指令，但能力更强了。A9上所有的浮点/NEON指令都必须顺序执行，但在A15上可以乱序，但是它依然不能重排序所有内存操作：独立载入可以乱序执行，但是存储不能在载入之前完成。

A15还改用了集成式二级缓存结构，而不是A9上的独立IP块。A15的一级、二级缓存延迟基本没变，不过在一些情况下应该会比A9多上1-2个时钟周期。二级缓存TLB和其它数据结构明显增大，以满足整个架构的需要。

缓存容量上，一级还是32KB指令、32KB数据，但是二级增至2MB，并为所有核心共享(Tegra 4的第五个节能核心还有自己的512KB二级缓存)，任何核心只要允许都可以单独占用全部2MB二级缓存。