

效。这一事实导致了从单核发展到多核SoC，在20 nm，将推动从多核到很多核的发展。

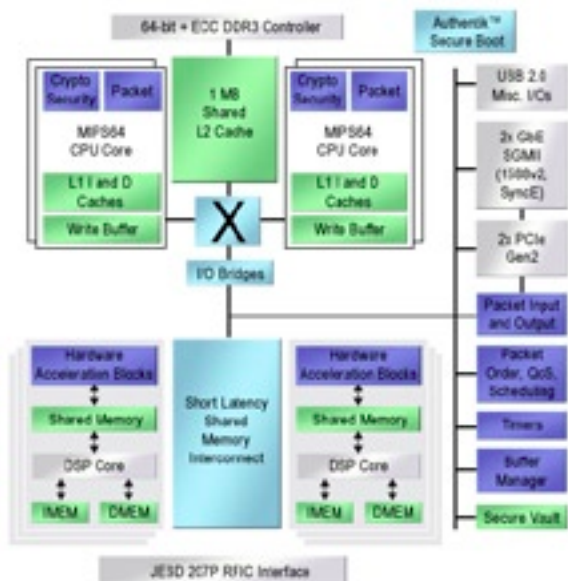


图3.总共10个主要处理器，这一Cavium芯片基站设计表明了并行发展趋势

可能有些令人吃惊的是，晶体管问题也影响了模拟电路性能。例如，FPGA供应商Altera宣布，其28 nm工艺代芯片至芯片收发器最大速率从28 Gbps增加到20 nm FPGA的40 Gbps。这种增长的部分原因当然是来自更高的晶体管 f_t ，以及杂散干扰的减小。Altera工程师说，而主要原因是更快、更复杂的数字均衡电路。此外，在很多其他应用中，与20 nm相比，设计人员能够使用更多的晶体管，通过数字化来增强模拟信号通路的性能。

增加晶体管也能够降低功耗，但这听起来可能有些相互矛盾。一个例子是，设计人员在20 nm继续采用了复杂的功耗管理策略。使用精细的状态机和控制电路，设计人员的时钟选通和电源选通策略的粒度更精细。当无法改变进入寄存器的数据时，常用的方法是减小周期时钟。当整个子系统空闲时，电源选通一般只用在模块级，而现在对于粒度越来越精细的结构，随着周期的缩短，更多的采用了电源选通。更精细的粒度增加了晶体管开销，但是，只要能够降低功耗，很多设计人员还是会做出这种选择。

更明显的例子是ARM的big.LITTLE体系结构。除了主Cortex-A15，这一方法增加了第二个完整的CPU——Cortex-A7。当一个任务需要高性能时，系统启动A15。当系统要处理的任务对性能要求不高时，它

关断A15，在功耗较低的A7上运行不关键的任务。结果是，大幅度降低了功耗，而且没有牺牲最大性能。

消除难点

通过使用晶体管来提高性能在20 nm SoC是非常关键的，原因在于：在模块级，20 nm芯片并不比相应的28 nm快很多。从公开的信息看，这还不是很明显。例如，TSMC宣称，其20 nm技术“...速度比28 nm技术高出30%...”。这并没有达到我们工艺代之间翻倍的预期，但并不说明这不重要。在整个模块上实现这么高的速率而不是在几个关键通路上，那么，可能会需要大量使用低 V_t 晶体管，而且有很大的泄漏电流，带来了更大的本地散热问题。即使没有散热问题，设计也很难在20 nm很多工艺、电压和温度角上达到时序收敛。一些工程师建议，考虑到功耗和其他变化因素，只是把模块导入到20 nm可能根本无法提高速率。

在20 nm更复杂的另一个问题是功耗。动态功耗—— CV^2f 类，在原理上应该低于20 nm电路，前提条件是，尺寸更小的特性降低了杂散电容，工作电压保持不变，频率与28 nm的相似。虽然每个晶体管的动态功耗降低了，但是，平面工艺中，由于泄漏电流导致的静态功耗在不断增加。理论上，同样的 V_t ，finFET的亚阈值泄漏电流要比平面晶体管低得多，减小了单组件的最大泄漏。因此，采用finFET工艺，设计人员可以使用与28 nm相似的 V_t 和 V_{cc} ，同时提高了性能，降低了静态功耗，或者使用较低的 V_t ，支持更低的 V_{cc} ，同时降低了动态和静态功耗。最好的选择取决于电路以及最终系统的应用情况。

使用或者不使用finFET，功耗都是问题。静态和动态功耗之和不会像28 nm那样简单的加起来。而密度增加了两倍。计算表明，功耗密度，也就是本地散热，限制了某些20 nm模块的布板和时钟频率。

最后，是2.5D。20 nm工艺本质上更适合制造2.5D封装所需要的硅片直通孔(TSV)。时机上巧合的是，代工线在20 nm工艺节点开发他们的产品TSV技术。结果是，在20 nm工艺代，我们可能会看到大规模使用TSV来连接多个管芯的有源电路和无源硅片基底。

这一技术的前景非常广阔。对于面积或者焊盘受限的管芯，2.5D封装大幅度提高了资源利用率。通过采用封装内宽字I/O替换DDR3，极大的提高了DRAM带宽。它能够在一个很小的引脚布局中集成无法在一个管芯中制造实现的各种技术。但是，从技术和商业角度看，问题也很明显。