

## 畅谈20 nm技术发展前景

在一类产品发售之前，还没有一种半导体工艺像20 nm节点这样引起这么大的争议。争论在于，节点是否应该等待即将投产的EUV光刻法。它并没有：双模式的布板虽然昂贵而且有局限，但是满足了高分辨率掩膜层的需求。

在节点是否需要finFET晶体管上也有争论。Intel、IBM和UMC持赞成态度；三星、TSMC和GLOBALFOUNDRIES则反对。TSMC以前曾有些模棱两可，推进了16 nm finFET半节点计划。而影响最大的是，NVIDIA CEO Jen-Hsun Huang公开质疑整个20 nm节点的经济可行性，他认为，每个晶体管的成本永远不可能低于28 nm。

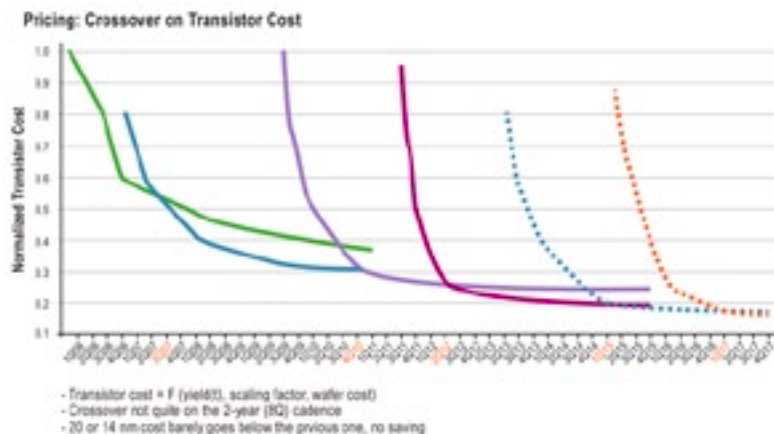


图1.20 nm技术逐渐成熟起来，其成本可能永远不会低于28 nm技术

注释:数据基于NVIDIA的公开数

虽然有争论，但是，TSMC发布了其20 nm参考流程。已经着手开始芯片设计。客户已经开始试用测试硅片。现在需要提出的是，20 nm芯片系统(SoC)产品代对于系统供应商意味着什么。这一节点也仅仅只是摩尔定律发展的另一个台阶吗?对于SoC用户，它会带来很大的新挑战吗?有没有隐藏的风险?为找到答案，我们与20 nm硅片工程师进行了交流，查阅了最近的会议论文。

### 非常具有挑战性的工艺

20 nm节点的争论在于它非常难以进行投产，技

术挑战还仅仅是一个小问题。但是，从系统设计人员的角度看，使用SoC而不是开发它，所有的都可以归结为5个关键点：成本、密度、速度、功耗和2.5D。系统设计人员的体验在很大程度上取决于芯片设计人员怎样处理好这5个关键点的相互关系。

成本是最主要的。NVIDIA的Huang先生的观点可能是正确的：随着成本的大幅攀升，对于同样数量的晶体管，20 nm一直要比28 nm昂贵得多。对于采用了大量非线性电路的SoC，例如，RF或者其他模拟晶体管，单片无源组件，以及静电放电保护结构等，成本差距要比仅采用高密度逻辑的SoC大得多。非常简单的是，对于SoC移植到20 nm，应该有一些优点——集成、性能、能效，以及IP应用等，要优于28 nm。否则，无法弥补额外的高成本。

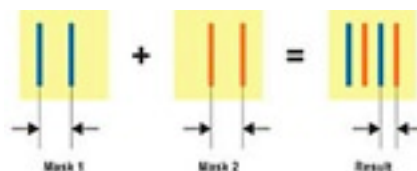


图2.将一个高分辨率的模板分成两个独立的低分辨率模板的简单例子。实践中，实际使用双模板需要有很多工艺步骤

这就给我们带来了密度问题：在同样面积上，20 nm能否尽早完成工艺转换。与28 nm相比，由于模板相关的设计规则导致降低了封装效率，除此之外，20 nm每mm<sup>2</sup>的晶体管数量是其两倍。芯片规划人员通过几种方法来使用越来越多的晶体管。

最明显的方法是集成。如果您能够将两个28 nm SoC封装到一个20 nm管芯中，结果是减小了芯片间延时，降低了I/O功耗，以及电路板级成本，这说明单位晶体管成本的提高是有好处的。而不明显的是，规划人员通过使用晶体管来提高性能或者能效。

一个非常简单的例子：如果一片SoC在主要工作模式上是DRAM受限的，有时候扩大片内RAM能够有效地减少对DRAM的访问，这样能够极大地提高性能，大幅度降低I/O功耗。而晶体管更典型的应用是建立并行机制。在有大量线程、数据并行或者可以进行流水线工作的应用中，增加处理器要比提高时钟频率更有