

应对模拟集成到数字设计的挑战

许多数字器件中集成模拟电路(也称为模拟模块),为微处理器、专用集成电路(ASIC)和现场可编程门阵列(FPGA)增加模/数接口。这些模拟模块包括内部电压基准、模/数转换器(ADC)或数/模转换器(DAC)。

如果我们询问不同制造商,他们的模拟器件怎么样?他们会毫无疑问地回答:“相当好。”实际上,在考虑IC的内部时,会发现电路通常是处在相当复杂的环境中:热、噪声、接地反弹、拥挤狭窄的空间、多层,以及不同方向的地线。重新考虑这种环境因素,现在我们再问:IC到底怎么样?答案就变得非常主观了。正如Hamlet所言:“事无善恶,思想使然。”

现在将注意力从模拟IC转向大多数数字IC的架构。数字IC中存在数以百计或数以千计的数门电路,以数兆赫或数千兆赫的速率改变状态。这些门电路通常共用电源并共用接地。在这种“拥挤”环境下,虽然IC内部需要安装去耦电容,但很难做到。由于数字电路由逻辑门限保护,IC内部的噪底相当高。实际上,数字信号在每级都做了调理(即忽略噪声)。

现在返回到模拟IC的讨论。美信(Maxim)公司应用笔记4345“*Well Grounded, Digital Is Analog*”介绍了为什么没有利用逻辑门限来保护模拟电路。因此,我们不能说高于某门限的任何模拟电压都为1或低于另一门限的任何模拟电压就是0。在模拟电路中,噪声会逐级累积。因此,模拟IC是“未保护”的,所见即所得。没有公认的分立式屏障或门限去屏蔽或保护,或诸如此类。

这对我们意味着什么?和在日常生活中一样,在电子学中,对于需要适当折衷模拟功能(模块)的应用,也总是必须在参数之间进行权衡。本文将讨论对空间和成本的经济要求如何推动模拟电路向数字晶片发展,以及出现的设计挑战。

性能折衷不可避免

至于数字干扰如何增大噪底,半导体(IC)行业有一个明确、具体的实例,就是斩波运算放大器(图1)。传统的“斩波器”通过中断信号通路,重新校准放大器,从而大幅降低失调和漂移。后来的IC发展在一片公共的硅基片上组合了两个并联放大器。这种设计在两个放大器之间实现了卓越匹配;对一个放大器进行斩波后,将产生的误差信号应用至两个放大器。

在图1中,U1A是主放大器,信号流经该放大器。边路(或归零放大器)为U1B。开关处于采样模式(S位置)时,U1B监测U1A的输入失调电压,并通过在U1A的归零(NULL)引脚施加合适的修正电压,驱动其输出到零。U1B必须首先修正它本身的输入失调,才能修正U1A的失调。开关处于自动归零模式下时(Z位置),通过临时将U1B从U1A断开,可实现这一目的。通过将U1B的输入短路在一起并将其输出施加到其归零引脚,可以消除U1B的失调。在自动归零模式下,电容C1短暂保持U1A的修正电压。同样,在采样模式期间,C2保持U1B的修正电压。在现代斩波放大器中,C1和C2为片上电容。

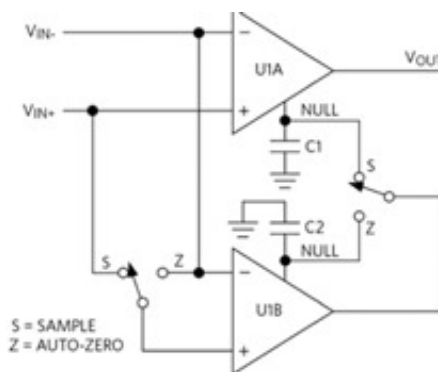


图1: 斩波稳定式放大器

在目前的技术中,通过降低失调、温漂以及低频下的1/f或粉红噪声,提高了运算放大器的性能。然而,在有利于某些应用的同时,却降低了其它领域的性能——这就是这个话题的关键所在。斩波器的开关噪声不可避免,它将传播至偏压和衬底。这种噪声发生在高频下,是由于在小电流下开关小斩波器开关造成的。现在想象一下在带有模拟电路的同一衬底上开关成百上千个数字门(每个门有多个开关)的情形。这正是微处理器设计人员在向器件中增加模拟电路时所面临的挑战。

看一下一些IC数据手册是如何给出模拟器件数据的。通常情况下,数据手册仅给出了器件的分辨率和基准电压范围——模拟设计人员希望了解的独立高精度ADC、DAC或电压基准的大多数技术指标难觅踪影。噪声、动态非线性度(DNL)、积分非线性(INL)、失调、增益和温度系数(tempco)等指标通通没有。这明显说